

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tomoya KODAMA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: AUDIO PROCESSOR AND AUDIO DATA PROCESSING METHOD

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-229153	July 28, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913



22850



日本国特許庁
JAPAN PATENT OFFICE

Jc978 U.S. PRO
09/915348
07/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 7月28日

出願番号

Application Number:

特願2000-229153

出願人

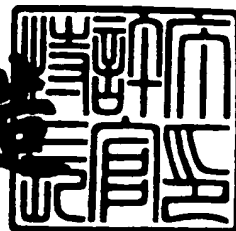
Applicant(s):

株式会社東芝

2001年 5月11日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 A000002724

【提出日】 平成12年 7月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H04M 5/00

【発明の名称】 データ処理装置およびデータ処理方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

【氏名】 児玉 知也

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置およびデータ処理方法

【特許請求の範囲】

【請求項 1】

与えられるデータに対して、複数種の処理を順序を追って実施する処理装置において、

前記各処理を、処理単位でモジュール化してなるプログラムモジュールを保持する外部記憶手段と、

内部メモリと、

前記処理のうちのいずれかの処理の実施中に、次の処理用のモジュールおよび処理対象のデータを前記外部記憶手段より読み込み、前記内部メモリに保持させる制御手段と、

前記内部メモリの保持内容対応の処理を実施する処理手段と、
を具備することを特徴とするデータ処理装置。

【請求項 2】

外部から提供される符号化されたビットストリームをデコードし、デコード結果を外部に一定間隔で出力する復号化装置、または外部から提供されるデータをエンコードし、エンコード結果を外部に出力する符号化装置に用いられるデータ処理装置であって、

符号化または復号化のためのデータ処理を行うプロセッサと、

符号化または復号化を行うプログラム、入出力データ、ワークデータ、テーブルデータ等を保持する外部メモリと、

前記プロセッサに命令を供給するためのインストラクションメモリと、

前記プロセッサにデータを供給するためのデータメモリと、

前記インストラクションメモリ及びデータメモリと前記外部メモリ間のデータ転送を行う DMA コントローラと、

を備え、

前記プロセッサは、データの符号化処理及び復号化処理を行うと共に、次に行う処理に応じて前もって必要なプログラム及びデータを前記外部メモリから読み

出すように、また、処理が終了したデータを前記外部メモリに書き戻すように前記DMAコントローラを制御することを特徴とするデータ処理装置。

【請求項3】

前記プロセッサは、汎用のプロセッサに少なくとも乗算・加算処理を高速化する演算装置を付加した構成とすることを特徴とする請求項2記載のデータ処理装置。

【請求項4】

前記DMAコントローラによって前記インストラクションメモリまたは前記データメモリがアクセスされるとき、前記プロセッサによる前記インストラクションメモリまたはデータメモリへのアクセスが競合する間、前記プロセッサ動作を一時的に停止させるようにすることを特徴とする請求項2記載のデータ処理装置。

【請求項5】

与えられるデータに対して、複数種の処理を順序を追って実施する処理装置に適用する処理方法であって、

前記各処理を、処理単位でモジュール化してなるプログラムモジュールを用意し、

前記処理のうちのいずれかの処理の実施中に、次の処理用のモジュールおよび処理対象のデータを先行して読み込み、

前記プログラムモジュール対応の処理を実施することを特徴とするデータ処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、放送や蓄積メディアから入力される符号化されたオーディオ信号を伸張するオーディオ復号化装置、及びオーディオ信号を符号化する符号化装置に関する。

【0002】

【従来の技術】

近年、デジタル動画データ及びデジタルオーディオデータの符号化技術が確立し、放送や蓄積メディアでの活用が一般的になり、同時にLSI技術のさらなる発展に伴い、1チップ上に数百万～数千万ゲートもの回路を実装することが可能になってきている。

【0003】

このことから、デジタル圧縮された動画像およびオーディオデータの伸張処理とグラフィックスなどのバックエンド処理、さらに伸張された動画像およびオーディオデータの再圧縮処理などを1チップで行うLSI素子のニーズが高まってきている。このようなLSIの構成は、外部に十数Mビットから数十Mビット程度の容量をもつメモリを接続し、ビデオ処理やオーディオ処理がそのメモリを共有するようなUMA (Unified Memory Architecture) とされることが多い。

【0004】

今、特にオーディオ処理に着目した場合、DVDビデオ向けのアプリケーションではDolby AC-3規格、リニアPCM規格、Digital Theater System (DTS) 規格などが存在し、それらすべてを復号できることが望ましい。さらに、日本のデジタルBS放送においては、MPEG-2 AAC規格に基づいた復号化処理を行う必要があるなど、アプリケーションに応じて様々な方式に対応する必要がある。

【0005】

このような背景から、従来の1チップオーディオ・ビデオ (AV) デコーダでは、オーディオ処理のために専用の信号処理プロセッサ (DSP) を搭載し、ソフトウェアベースで復号処理を行うことが多かった。一方で、コストを抑制する目的から、LSIの回路規模を削減する要求もある。DSPではオーディオ処理で使われる周波数変換 (FFT; 高速フーリエ変換) やフィルタ処理を高速に実行できるため、低い動作周波数でオーディオ処理を実現できる一方、演算処理を効率的に実行させるために2個以上のローカルメモリおよびメモリアクセスユニット、アドレス更新のための演算器を備える必要があり、メモリを含めた回路規模は決して小さくない。

【0006】

また、オーディオ処理以外の例えばホストCPUとの通信や外部ハードウェアモジュールの制御などを行う場合には、DSPでは非効率であり、余分なハードウェア資源を消費することが多い。このため、LSI（集積回路素子）全体のコストを引き上げる要因となる。

【0007】

このような問題に対して、特開平8-111642号公報に示されるMPEG規格の映像音声デコーダでは、バス上に配した1個のプロセッサと映像およびオーディオデータの逆離散コサイン変換（IDCT）を行うための信号処理ユニットを設け、プロセッサと信号処理ユニットを同時に動作させることにより、オーディオ処理とビデオ処理を同じハードウェア上で実現する方法が提案されている。

【0008】

この方法の概略を図6に示す。図6の構成においてはプロセッサ21は、信号処理ユニット29の前後に設けられたローカルメモリ25および27上に、データを供給したり読み出したりする制御を行うと共に、ビットストリームの内容に応じて信号処理ユニット29へコマンドを送り、デコード処理を行う。

【0009】

信号処理ユニット29では、一般的なプロセッサと同様にコマンドに対応するマイクロプログラムを命令メモリ31から読み出し、順次バタフライユニットや乗算・累積加算（MAC）ユニットを用いて演算処理を行う。

【0010】

そして、その演算処理の際の途中結果は、ローカルメモリ32および33に格納される。ここで、ビデオ・オーディオのデコード処理は、ビットストリームの解読処理と、バタフライ演算に代表されるデータに対する演算処理に分割できる。

【0011】

このうち、ビットストリームの解読処理はVLD処理部24で実行され、演算処理には乗算・累積加算ユニット26，バタフライユニット30，命令メモリ31等からなる信号処理ユニット29にて実行される。

【 0 0 1 2 】

このため、ビットストリームの解読処理と演算処理、そしてプロセッサ 2 1 によるデータ供給処理は並列に実行されることとなる。さらに、この従来の提案では、MPEG-2 ビデオ規格に基づいたビットストリームのデコードも同じハードウェア上で実行することを想定している。この場合、図 6 には図示していない動き補償のためのハードウェアユニットも利用して、並列の度合いを高めることができる。

【 0 0 1 3 】

また、特開平 1 0 - 3 4 1 4 2 2 号公報に示される映像音声処理装置においては、デコード処理とは非同期に発生するビットストリームの入力と映像・オーディオ情報の出力部を分割し、独立したプロセッサで制御することにより、デコード処理部め負担を低減してリアルタイム処理を実現する方法が提案されている。

【 0 0 1 4 】

そして、MPEG-2 ビデオ規格に基づいたビデオデコード処理を想定した場合、一般的なテレビ受像機向けの解像度で 1 秒間に 2 7 [MByte] (メガバイト) ものデータを送出しなければならない上、この処理はデコード処理とは非同期に一定間隔で行われなければならないため、この処理を別プロセッサに担当させるようにしている。これによってデコード処理部の効率的な実行を可能にする。その一方で、オーディオ信号の出力は、1 秒間に数百 K [バイト] 程度である。

【 0 0 1 5 】

それ故、このような遅いオーディオ信号の処理に専用のプロセッサを用いるのは、あまりにもったいない。

【 0 0 1 6 】

【発明が解決しようとする課題】

このように、上記従来技術によれば、ビデオとオーディオの両方のデータを処理するのに、一つのプロセッサにより実施させる方式と、入出力の処理に対して専用のプロセッサを用いて別々に処理させる方式があった。

【 0 0 1 7 】

前者の場合、プロセッサはビデオとオーディオの両方を処理しなければならない

いため、高い処理能力が要求される。このために、高い動作周波数が要求され、コストの上昇を招く。そして、この方式では、周辺に配置されたメモリが占める面積も大きくなる傾向があり、コストの増大を招く。さらに、信号処理プロセッサ自体が自律して動作するため、CPUと同程度の制御回路が必要である上、演算器も高機能なものが必要となる。

【 0 0 1 8 】

すなわち、オーディオ用のバタフライ演算では24ビット程度の演算精度が必要である一方、バタフライ演算の回数は1秒間に数百万回のレベルであるのに対し、ビデオ用の場合の精度は12ビット程度でも良いが、1秒間に数千万回も行う必要がある。これら2つの演算を両立させるためには、信号処理ユニットは高い精度と高速性を良質しなければならず、回路規模の大きいコストの高いものとなる可能性が高い。

【 0 0 1 9 】

また、後者の方式は、画像、音声の情報を入出力する専用のプロセッサを用いて処理するようにするが、ビデオとオーディオの処理をデコード部で交互にしなければならないことは変わらず、高い精度を要求されるオーディオ処理と高速性を要求されるビデオ処理とを両立させるために高性能なハードウェアを要求することとなる。オーディオ処理だけを独立させた場合には、オーディオの入出力レートは十分に低いため、入出力部とデコード処理部を分けたことによる効果はほとんどない。さらに、デコード処理部と入出力部とを分けたことにより、必要なメモリ量は増大するため、それによるチップ面積の増加という問題もある。

【 0 0 2 0 】

メモリ量を削減するため、局所的に配置されたメモリの代わりに外部に接続されたメモリを一次記憶媒体に用い、キャッシュメモリによってメモリアクセススピードを改善する方法が考えられるが、キャッシュメモリがミスヒットした場合には、外部メモリを参照しなければならない。外部メモリは、元々内部のメモリよりもアクセススピードが遅い上、例えばビデオ処理などと共有されるためにキャッシュがミスヒットした時には大きな遅延が発生する。これは、リアルタイム処理を行わなければならないオーディオ処理のようなアプリケーションでは致命的

になる。

【0021】

本発明は、上記の点に鑑みてなされたものであり、オーディオ処理が固定的な順を追って処理がなされることに着目し、それを利用することで、プロセッサなどのランダムゲートのみならず、内蔵するメモリの容量まで考慮し、両者の合計のハードウェア量を小さくした上で、効率的にオーディオ処理等のデータ処理を実現するアーキテクチャとするデータ処理装置を提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明は、上述の目的を達成するために、本発明は次のように構成する。

【0023】

〔1〕第1には、与えられるデータに対して、複数種の処理を順序を追って実施する処理装置において、

前記各処理を、処理単位でモジュール化してなるプログラムモジュールを保持する外部記憶手段と、必要最小限の容量の内部メモリと、前記処理のうちのいずれかの処理の実施中に、次の処理用のモジュールおよび処理対象のデータを前記外部記憶手段より読み込み、前記内部メモリに保持させる制御手段と、前記内部メモリの保持内容に従った処理を実施する処理手段とを具備することを特徴とする。

【0024】

このような構成の本発明装置は、与えられるデータに対して、複数種の処理を順序を追って実施するが、各処理は予め各処理単位でプログラムモジュール化した形態を採用している。そして、内部メモリにこの処理単位分のプログラムモジュールを保持させ、処理手段にはこの内部メモリの内容対応に処理を実施していくが、前記制御手段は前記処理手段が処理実施中に次の処理用のモジュールおよび処理対象のデータを読み込み、前記内部メモリに保持させる。

【0025】

従って、すなわち、さしあたって現在処理しようとする必要分だけの必要情報を内部メモリに取り込み、処理を実施させることで、内部メモリは最小限の容量

にとどめることができるようになり、メモリ資源の節約を図ることが出来るようにすると共に、現在の処理の実施中に次の先取りをしておくことで、読み込みの遅れによる処理の遅延を防止することができる。

【0026】

〔2〕また第2には、本発明は、符号化または復号化のためのデータ処理を行うプロセッサと、符号化または復号化を行うプログラム・入出力データ・ワークデータ・テーブルデータ等を保持する外部メモリと、プロセッサに命令を供給するための小容量のインストラクションメモリと、前記インストラクションメモリ及びデータメモリと前記外部メモリ間のデータ転送をプロセッサの動作と平行して行うDMAコントローラと、を備えたことを特徴とする。

【0027】

本発明によれば、オーディオ処理を実行する上でプロセッサが必要とするデータおよび命令群を、DMAコントローラを介して前もって小容量のインストラクションメモリおよびデータメモリに読み出しておき、また、所定の処理が終了したデータは、DMAコントローラを介して外部メモリに書き戻す処理を行うことにより、オーディオ処理に必要なとなるメモリの容量を削減することができる。プロセッサは、該インストラクションメモリまたは該データメモリのアクセスが該DMAコントローラと干渉しない限り、演算処理を続行できるため、メモリ削減による処理能力の低下はDMAコントローラによるメモリ転送量未滿に抑えることができる。さらに、プロセッサは安価な汎用プロセッサを使用したとしても、それに乗算・累積加算器（MAC）程度のごく簡単な演算器を付加することでオーディオ処理に十分な処理能力を確保することができる。

【0028】

【発明の実施の形態】

本発明は、1チップに収められ、外部に存在するメモリをビデオ処理とオーディオ処理とで共有するようにしたUMA方式に基づくビデオ・オーディオ処理装置において、基本概念としては、オーディオ処理プロセッサに小容量のローカルメモリ（データメモリ、インストラクションメモリ）を接続するようにし、このオーディオ処理プロセッサには次に行われる処理を予測して、必要なデータ・プ

プログラムを前もって外部メモリからローカルメモリに転送するようにDMAコントローラの制御をさせるようにし、逆にしばらく使用しないと判断されるデータは、生成直後にローカルメモリから外部メモリに退避させるようにし、また、ローカルメモリ中の不要となったデータやプログラムの格納領域は解放するというものである。

【 0 0 2 9 】

以下、本発明の実施例について図面を参照して説明する。

【 0 0 3 0 】

図1は本発明の一実施の形態を示すブロック図である。図1において、1は外部メモリ、2はメモリコントローラ、3はバス、4はシステム処理部、5はビデオ処理部、6はオーディオ処理部である。このオーディオ処理部6は、汎用プロセッサ10、オーディオ処理用プロセッサ11、ローカルバス12、インストラクションメモリ13、データメモリ14、DMAコントローラ (Direct Memory Access Controller) 15、オーディオ入出力インタフェース16、小容量メモリ17を備えて構成される。

【 0 0 3 1 】

汎用プロセッサ10、DMAコントローラ15、オーディオ入出力インタフェース16はローカルバス12を介して接続され、また、システム処理部4、ビデオ処理部5、オーディオ処理部6は、バス3を介して接続される。

【 0 0 3 2 】

上述の外部メモリ1は、システム処理部4やビデオ処理部5およびオーディオ処理部6が共用するメモリであり、システム処理部4にて処理されて出力されたビデオストリームやオーディオストリームなどのデータの格納、さらには汎用プロセッサ10に実行させるための演算・処理などの命令 (プログラム) や演算処理に必要なデータ類などを保持に使用される。

【 0 0 3 3 】

メモリコントローラ2は、この外部メモリ1のアクセスをコントロールするためのものである。

【 0 0 3 4 】

システム処理部4は、入力信号として入力されたストリーム（例えば、MPEG-2のデータストリーム）をビデオストリームとオーディオストリームに分離し、それぞれ外部メモリ1の異なる独立したメモリ領域に書き込むように処理するものであり、ビデオ処理部5は、外部メモリ1に書き込まれたビデオストリームを伸張処理し、所定のタイミングで外部へ出力するものである。

【0035】

また、オーディオ処理部6は、外部メモリ1に書き込まれたオーディオストリームを処理し、所定のタイミングで外部へ出力するものである。

【0036】

このオーディオ処理部6は、汎用プロセッサ10、オーディオ処理用プロセッサ11、ローカルバス12、インストラクションメモリ13、データメモリ14、DMAコントローラ15、オーディオ入出力インタフェース16、小容量メモリ17を備えて構成されるが、これらのうち、オーディオ処理用プロセッサ11は、汎用プロセッサ10に対するコプロセッサであって、当該汎用プロセッサ10を介して得られたオーディオデータを復元する処理をするものであり、国際標準の圧縮符号化技術のひとつであるMPEG-2 AACビットストリームのデコードの場合、その処理はビットストリームデータの解読処理、ノイズレスデコーディング処理、逆量子化处理、スケールファクタ処理、TNS処理（ノイズリダクション処理）、フィルタバンク処理（オーディオ成分に対するフィルタリング処理）、ブロックスイッチング処理を順に実施してオーディオデータを復元する。

【0037】

また、インストラクションメモリ13は、汎用プロセッサ10に対する命令コードを保持するためのメモリであり、また、データメモリ14は、汎用プロセッサ10の処理対象となる各種のデータを保持するためのメモリである。

【0038】

また、汎用プロセッサ10は、インストラクションメモリ13に保持されている命令コードに従って処理を実行するものであって、ここでは、主としてオーディオ処理用コプロセッサ11での処理に際して、必要なデータ（オーディオスト

リーム)の取り込みやバッファリング、そして、各種テーブルやフィルタバンク係数等、オーディオデータ復元処理におけるその処理の進行段階対応に、必要とするデータをデータメモリ14に取り込んでオーディオ処理用コプロセッサ11に渡したり、オーディオ処理用コプロセッサ11が得たデータをデータメモリ14に格納させたり、DMAコントローラ15を制御したりするといったことを行うものである。

【0039】

また、DMAコントローラ15は、汎用プロセッサ10による指示に基づき、外部メモリ1やインストラクションメモリ13およびデータメモリ14に対して指定のメモリアドレス領域をCPUを介することなく直接、アクセスしてデータの書き込みあるいは読み出しを制御する(DMA(Direct Memory Access)転送を制御する)ためのコントローラである。

【0040】

オーディオ入出力インタフェース16は、オーディオ信号の入出力のためのインタフェースであり、小容量メモリ17はオーディオ入出力インタフェース16によるオーディオ信号の入出力の際のバッファとなるメモリである。

【0041】

本実施形態に示した装置は、DVD再生装置(DVDは、Digital Versatile DiscまたはDigital Versatile Diskの略で、動画、音声、データなどをデジタル記録できる大容量光ディスク)などに備えられ、MPEG-2システムストリームに基づく圧縮ビデオ・オーディオストリームをデコードし、得られたビデオおよびオーディオ信号を外部へ出力するものである。また、図中において、外部メモリ1以外は1つのLSIの中で構成されることを想定している。

【0042】

外部メモリ1はこのLSIの外に接続されるので、LSIの内部に組み込まれている要素であるシステム処理部4、ビデオ処理部5、オーディオ処理部6は1つの外部メモリ1を共有するかたちになる。

【0043】

また、図には表されていないが、ビデオバックエンド処理など、他の処理を行

う部分も当該外部メモリ1を共有する構成である場合も考えられる。外部メモリ1は、例えば同期型ダイナミックメモリ（SDRAM）などで構成され、比較的大きな容量を持つが、各部（システム処理部4、ビデオ処理部5、オーディオ処理部6など）が同じメモリを共有するために、各部がアクセスを開始するためにメモリコントローラ2にリクエストを発行してから、実際にアクセスが行われるまでの間に遅延が発生するという特徴を有している。

【0044】

この実施例においては、オーディオ処理部6の特徴として、処理単位別プログラムモジュールを処理の進行に合わせて取り込むようにすることで、当該オーディオ処理部6での処理に必要な内部メモリのメモリ資源を最小限にとどめるようにすると共に、プログラムモジュールを処理に先駆けて先取りすることで上記遅延を実質的に抑制するようにしている。

【0045】

例えば、MPEG-2 AACに基づいたビットストリームのデコード処理の場合、処理手順としては、ビットストリームデータの解読処理、ノイズレスデコーディング処理、逆量子化処理、スケールファクタ処理、TNS処理、フィルタバンク処理、ブロックスイッチング処理の順番を踏んでオーディオデータ復元することから、現在行っている処理の後に何の処理を行うかは予測可能である。従って、この事実を根拠に、本発明システムにおいては、現在行っている処理を続けながら、次の処理に必要なデータや命令群を、予め用意するようにDMAコントローラ15に要求すると云った形態が実現できるような処理単位のプログラムモジュールを、外部メモリ1に用意し、且つ、このプログラムモジュールには、次の処理に用いるプログラムモジュールを外部メモリ1から読み込むべく、その格納エリアを指定してのDMA転送による読み込みを実施することのできるDMA転送命令を付加したかたちにしておくことで、その処理の進行に伴って必要なプログラムモジュールを先読みして取り込んでおき、このプログラムモジュールを構成するプログラムの示す命令群を汎用プロセッサ10が実行することで、その時々処理の進行に合わせて、次の処理に必要な処理単位分のプログラムモジュールや必要データを読み込むべく、DMAコントローラ15に命令することが

できる仕組みを得ている。

【0046】

つまり、オンデマンド方式を採用するものであって、処理の進行状況に従って、次の処理に必要な手当を、必要最小単位分づつ、細切れに先取りして準備し、利用していくと云う細切れ先読み方式で処理を繋いでいく形態であって、メモリ資源特にインストラクションメモリ13、データメモリ14の節約を図ると共に、読み込みに必要な時間を節約する仕組みを具現化している。インストラクションメモリ13、データメモリ14を含め、汎用プロセッサ10とDMAコントローラ15はそのために用意されたものである。

【0047】

次に、上記構成の本システムの作用を説明する。

【0048】

入力信号であるMPEG-2システムストリームはシステム処理部4に入力される。システム処理部4では、入力されたストリームをビデオストリームとオーディオストリームに分離し、それぞれ外部メモリ1の異なる独立したメモリ領域に書き込む。そして、外部メモリ1に書き込まれたビデオストリームはビデオ処理部5で伸張処理がなされ、所定のタイミングで外部へ出力される。

【0049】

同様に、外部メモリ1に書き込まれたオーディオストリームは、オーディオ処理部6で伸張処理がなされ、所定のタイミングで外部へ出力される。

【0050】

上述したように、オーディオ処理部6には、汎用プロセッサ10が設けられているが、このオーディオ処理部6の汎用プロセッサ10は、一般に機器組み込み用に使用されるCPUコアが使われる。汎用プロセッサ10が実行すべき命令群および処理の対象となるデータ群は外部メモリ1に格納され、汎用プロセッサ10は、当該外部メモリ1に格納された命令群およびデータ群を、適宜、DMAコントローラ15を制御することによって命令群はインストラクションメモリ13に、そして、データ群はデータメモリ14に転送する。

【0051】

次に、汎用プロセッサ 1 0 はインストラクションメモリ 1 3 に格納された命令群に基づきデータメモリ 1 4 に格納されたデータを利用して、オーディオ処理を実行させるべく、オーディオ処理用コプロセッサ 1 1 に指示を与え、これにより、オーディオ処理用コプロセッサ 1 1 は指示された内容のオーディオ処理を実施する。処理された結果は、汎用プロセッサ 1 0 の制御のもとに、一時的に外部メモリ 1 にバッファリングされた後、オーディオ処理部 6 内の小容量メモリ 1 7 に順次書き込まれ、オーディオ入出カインタフェース 1 6 を通して外部へ出力される。

【 0 0 5 2 】

汎用プロセッサ 1 0 は、保存しておくべき演算の途中結果については、適宜 DMA コントローラ 1 5 を用いて外部メモリ 1 へ転送させ、保持させる。

【 0 0 5 3 】

< 音声データのデコード処理 >

ここで、オーディオ処理部 6 によるオーディオストリームのデコード処理について説明する。図 1 に示す構成の場合、このオーディオストリームデコード処理はオーディオ処理用コプロセッサ 1 1 が担うが、その処理内容は次の通りである。

【 0 0 5 4 】

例えば、オーディオストリームのデコード処理の例として、MPEG-2 AAC に基づいたビットストリームのデコード処理の流れを図 2 に示す。MPEG-2 AAC ビットストリームのデコードの場合、その処理は [1] ビットストリームデータの解読 4 0、[2] ノイズレスデコーディング 4 1、[3] 逆量子化 4 2、[4] スケールファクタ 4 3、[5] TNS (ノイズリダクション処理) 4 4、[6] フィルタバンク (オーディオ成分に対するフィルタリング処理) 4 5、[6] ブロックスイッチング 4 6 の順で行われる。

【 0 0 5 5 】

この処理順はほぼ固定的であるため、現在行っている処理の後に何の処理を行うかを予測することは容易である。従って、現在行っている処理を続けながら、

次の処理に必要なデータや命令群を、予め用意するようにDMAコントローラ15に要求することができる。

【0056】

従って、本発明システムにおいては、汎用プロセッサ10は、このような予測を実施し、次の処理に必要なデータや命令群を予め用意するためにDMAコントローラ15に要求するといったことを、現在実行中の処理の内容と進行状況を見計らった最適タイミングで実施する機能を持たせておく。

【0057】

具体的には、例えば、次のような処理を実施させる。

【0058】

いま、データメモリ14、インストラクションメモリ13の容量をそれぞれD[バイト] およびI[バイト] とし、現在、実行中の処理としてビットストリームデータの解読40を行っているとする。このために必要なデータは、VLC (Variable Length Coding=可変長符号) テーブルおよびビットストリームデータであり、これらはデータメモリ14に格納されているものとする。

【0059】

このときのデータメモリ14の占有量をDi0[バイト] とする。また、同様にビットストリームデータの解読に必要な命令群は予めインストラクションメモリ13に格納されているものとする。

【0060】

このときのインストラクションメモリ13の占有量をI0[バイト] とする。ビットストリームデータの解読40の処理は、ビットストリームを読み出して所定の処理を行うことで、データメモリ14上のDw0[バイト] のワークエリアを使用し、Do0[バイト] のデータを生成する。

【0061】

従って、ビットストリームデータ解読40の処理において使用するデータメモリ14の占有容量は、Di0+Dw0+Do0[バイト] であり、インストラクションメモリ13での占有容量はIi0[バイト] である。

【0062】

このときのそれぞれのメモリ状態を図3に示す。すなわち、インストラクションメモリ13上での占有状況は図3(a)の如きであり、データメモリ14上での占有状況は図3(b)の如きである。

【0063】

この状態で、次の処理においては必要なメモリは次のように増える。すなわち、ビットストリームデータ解読処理の次はノイズレスコーディング41の処理であるが、当該ノイズレスコーディング処理に必要なデータは、ビットストリームの解読によって得られたD_{o0} [バイト] のデータと、ノイズレスデコーディングに必要なD_{f1} [バイト] のテーブルデータ（べき乗を計算するためのテーブル）であり、さらにはこの処理でデータメモリ14上のD_{w1} [バイト] 分のワークエリアを使用し、D_{o1}=D_{o0} [バイト] のデータを置き換える。また、ノイズレスデコーディングの処理に必要な命令群のサイズはI₁ [バイト] とする。

【0064】

従って、この段階ではデータメモリ14では更にD_{i0} [バイト] 分のメモリ空間が必要となり、インストラクションメモリ13ではI₀ [バイト] 分のメモリ空間が必要となるわけである。

【0065】

すなわち、データメモリ14においてはメモリ容量Dが

$$D > D_{i0} + D_{w0} + D_{o0} + D_{i1}$$

を満たし、かつ、インストラクションメモリ13においてはメモリ容量Iが

$$I > I_0 + I_1$$

を満たしていれば、ノイズレスデコーディング処理に使用する命令群およびデータ群は前段のビットストリーム解読処理中に前もって転送しておくことが可能である。

【0066】

そこで、ビットストリーム解読処理を開始するときに、汎用プロセッサ 1 0 には DMA コントローラ 1 5 に対してコマンドを送り、インストラクションメモリ 1 3 の空きエリアにノイズレスデコーディング処理に必要な I 1 [バイト] の命令群を転送し、データメモリ 1 4 の空きエリアにノイズレスデコーディング処理に必要な D i 1 [バイト] のデータを読み込ませるための予約を行うように制御させるようにする。

【 0 0 6 7 】

ノイズレスデコーディング処理の段階ではなく、ビットストリーム解読処理を開始するときに、このような制御を汎用プロセッサ 1 0 に実施させるという点が重要なのである。

【 0 0 6 8 】

一般に、外部メモリ 1 をビデオ処理部 5、システム処理部 4 などと共有する U M A 構成の場合、外部メモリ 1 へのアクセスにはある程度遅延が発生する。

【 0 0 6 9 】

このため、DMA コントローラ 1 5 へのコマンド送出後、実際にメモリ転送が開始されるまでに遅延が発生する。仮に、ノイズレスデコーディング処理を開始する直前に、DMA コントローラ 1 5 へ必要なメモリ転送を行うようにコマンドを送ったとすると、この遅延の間、汎用プロセッサ 1 0 は処理を行えなくなる。この遅延の時間分が無駄時間となるわけである。

【 0 0 7 0 】

しかし、本発明のように、ノイズレスデコーディング処理よりも 1 つ前の段階での処理であるビットストリーム解読処理の時点で予め DMA コントローラ 1 5 にコマンドを送出しておけば、この遅延を隠し、汎用プロセッサ 1 0 は 2 つの処理の間、動作しつづけることができるようになり、無駄時間がなくなって、処理速度が向上することになる。

【 0 0 7 1 】

さらに、ビットストリーム解読処理で生成したデータのうち、次段のノイズレスデコーディング処理で使用せず、後段の処理で使用するために保存しておくべきデータが存在する場合、それらはビットストリーム解読処理直後に、外部メモ

リ 1 へ退避するように汎用プロセッサ 1 0 から DMA コントローラ 1 5 にコマンド送出させるようにする。

【 0 0 7 2 】

こうすることで、ノイズレスデコーディング処理以後に、退避された領域を新たなデータ領域として使用することができる。

【 0 0 7 3 】

以後、同様に、汎用プロセッサ 1 0 には、 k 番目の処理を開始するときに、 $k - 1$ 番目の処理結果のうち、 k 番目の処理に不必要なデータメモリ 1 4 内容を外部メモリ 1 に退避し、 $k + 1$ 番目の処理のために必要な命令群とデータを外部メモリ 1 からインストラクションメモリ 1 3 およびデータメモリ 1 4 に転送するように制御させる。

【 0 0 7 4 】

これにより、オーディオ処理用コプロセッサ 1 1 がオーディオストリームに対してオーディオ処理を実行する上で必要なメモリ量を削減することが可能となる。なお、 k は任意の整数を示す。

【 0 0 7 5 】

MPEG-2 AAC デコード処理におけるデータメモリ 1 4 の時間遷移の例を図 4 に示す。図中横軸はメモリアドレス、縦軸は時間をそれぞれ表し、また、黒マル印で示される点はそれぞれの処理の開始時点を、また、黒四角印は DMA 転送の開始時点を示している。そして、当該図 4 中のグラフはどの時点からどの時点まではどの処理におけるデータ等がデータメモリ 1 4 中のどのアドレス空間を占有し、…ということを示しており、従って、図 4 は処理の変遷に伴うデータメモリ 1 4 におけるメモリ空間の状態遷移を示した図でとなっている。

【 0 0 7 6 】

図 4 では、処理単位を〔段階 1〕ビットストリーム解読処理、〔段階 2〕ノイズレスデコーディング・逆量子化・スケールファクタ処理、〔段階 3〕TNS 処理、〔段階 4〕フィルタバンク処理、〔段階 5〕ブロックスイッチング処理、の 5 段階に分割している。

【 0 0 7 7 】

例えば、 t_5 の時点において、〔段階4〕での処理であるフィルタバンクの処理が始まるが、当該フィルタバンクの処理に必要なフィルタバンク係数は、 t_3 の時点で開始される〔段階2〕での処理であるノイズレスデコーディング処理が開始されるときにDMAコントローラ15が制御され（図中の黒マル印で示される時点）、外部メモリ1から読み出しが開始される。外部メモリ1から読み出されるフィルタバンク係数のデータメモリ14上の格納先は、アドレスK1からアドレスL0までのメモリ空間である。

【0078】

フィルタバンク処理が行われることによって、生成されるデータはデータメモリ14上のアドレスM1からM6のメモリ空間に格納される。そして、当該フィルタバンク処理が行われた後、このアドレスM1からM6のメモリ空間に格納されている生成データは時点 t_6 から開始される次の〔段階5〕での処理であるブロックスイッチング処理で使われると同時に、1ブロック（1024サンプル）後の処理でも使用されるため、ブロックスイッチング処理が開始される前にDMAコントローラ15を制御（図中の黒四角印）して外部メモリ1に転送書き込みが開始される。従って、〔段階5〕での処理であるブロックスイッチング処理が実行されるのと平行して、外部メモリ1への転送が行われる。

【0079】

なお、前記DMAコントローラ15によって前記インストラクションメモリ13または前記データメモリ14がアクセスされるときは、前記汎用プロセッサ10による前記インストラクションメモリ13またはデータメモリ14へのアクセスが競合する場合に、その競合の間、プロセッサ動作を一時的に停止させるようにする。DMA転送の時間は短時間で済むので、オーディオ処理に及ぼす影響の度合いはプロセッサ10によるアクセスを停止させる方が小さいからである。

【0080】

ここで、本実施の形態におけるオーディオ処理装置は、従来、広く用いられてきた信号処理プロセッサ（DSP）に適用したものではなく、汎用のプロセッサを使用した構成に適用している。その理由は、DSPでは、高い演算効率を実現するために、メモリ効率が犠牲になるからである。

【 0 0 8 1 】

例えば、DSPでは、2要素の乗算を毎クロック実行するために、最低でも2つのメモリロードユニットを装備するのが一般的であり、従って、DSPで十分な性能を実現するにはデータメモリが2個以上必要になる。

【 0 0 8 2 】

これに対して、本実施の形態においてはオーディオ処理に用いるプロセッサは、汎用プロセッサであるためにデータメモリ14は1個で良い。また、汎用プロセッサはDSPに比べ、乗算・累積加算(MAC)演算に対する処理性能が劣るが、この乗算・累積加算(MAC)演算の高性能化を図るために、本実施の形態では汎用プロセッサ10にその機能補助用としてのオーディオ処理用のコプロセッサを配する。

【 0 0 8 3 】

このコプロセッサは、例えばVLIW(Very Long Instruction Word; プログラムをコンパイルする際、あらかじめ同時に実行できる命令を並列に並べておく手法の1つ。)などの方法により駆動される。

【 0 0 8 4 】

汎用プロセッサ10のデータ供給能力は、メモリロードユニットがDSPの半分であるから、コプロセッサの能力も半分程度、すなわち、2クロックに1回の演算ができる程度のスループットで良い。

【 0 0 8 5 】

このような構成により、最もDSPが効率的に動作する乗算・累積加算が連続した場合でもDSPに比べ1/2程度の性能差とすることができる。しかも、一般的なオーディオ処理ではすべてが乗算・累積加算で占められることはなく、論理演算やアドレスの加算・減算なども含まれるため、DSPと本実施の形態におけるオーディオ処理装置の性能差の開きは、より小さくなる。例えば、MPEG-2 AACデコード処理の場合、TNS、フィルタバンク、ブロックスイッチングでは、処理の多くが乗算・累積加算で占められるため、性能の差は大きい。ビットストリーム解読40の処理、ノイズレスデコーディング41の処理、逆量子化42の処理、スケールファクタ43の処理での性能差は大きくない。

【0086】

従って、本発明の構成におけるDSPとの実際の性能差は2/3程度となる。しかも、上述したメモリ転送方式により、本実施の形態におけるオーディオ処理装置において必要となるインストラクションメモリ13とデータメモリ14の必要量は、DSPに比べ大幅に削減することができる上、本質的に汎用プロセッサ10を利用する本実施の形態の方式の方が、必要ハードウェア量も小さく、高クロックでの動作も容易であるため、この程度の性能差は問題にならないと言える。

【0087】

なお、本実施例ではオーディオ符号化方式としてMPEG-2 AACデコード処理を例に説明したが、他の符号化方式であるMPEG1オーディオやDolby AC-3などのデコード処理やエンコード処理についても同様な制御を行うことができる。

【0088】

また、上述の実施例では、オーディオ処理部6はオーディオビットストリームのデコード処理しか行わない例を示したが、プロセッサの処理許容量に余裕がある場合には、図5に示すように、1つのプロセッサがオーディオ処理とビデオ処理を兼ねるような構成にすることもできる。すなわち、図5に示す構成においては、外部メモリ51、メモリコントローラ52、バス53、システム処理部54、ビデオ・オーディオ処理部55から構成される。外部メモリ51、メモリコントローラ52、バス53、システム処理部54、はそれぞれ図1の外部メモリ1、メモリコントローラ5、バス3、システム処理部4に該当する。

【0089】

ビデオ・オーディオ処理部55は、ビデオ処理機能とオーディオ処理機能を併せ持つものであって、図1におけるビデオ処理部5とオーディオ処理部6を合体させたものである。

【0090】

ビデオ・オーディオ処理部55は、汎用プロセッサ60、オーディオ処理用コプロセッサ61、ローカルバス62、インストラクションメモリ63、データメ

メモリ 64、DMAコントローラ 65、小容量メモリ 66～70、オーディオ入出力インタフェース 71、そして、ビットストリームの解読処理を行う VLD 処理部 72、逆量子化処理を行う I Q（逆量子化部） 73、逆離散コサイン変換処理をする I D C T（逆離散コサイン変換部） 74、動き補償処理をする動き補償部 75 等から構成される。

【 0 0 9 1 】

すなわち、図 5 に示すビデオ・オーディオ処理部 55 は、オーディオビットストリームのデコードと共に M P E G - 2 ビットストリームのデコードを行う場合の構成を示している。

【 0 0 9 2 】

M P E G - 2 ビデオビットストリームの場合にも、その処理順は固定的であるため、前述したデータやテーブルなどの格納に用いるデータメモリ 64、命令を格納するインストラクションメモリ 63 へ、外部メモリ 51 から前もって読み込む処理が適用できる。

【 0 0 9 3 】

ビデオ処理の場合には、その演算量が大きいため、多数の小容量メモリ 67～70 を用意し、また、これら小容量メモリ 67～70 を介して M P E G - 2 ビデオビットストリームデコードに必要な演算を行う演算器（VLD 処理部 72、I Q（逆量子化部） 73、I D C T（逆離散コサイン変換部） 74、動き補償部 75）を用意し、汎用プロセッサ 60 は DMA コントローラ 65 を制御して、外部メモリ 51 と小容量メモリ 67～70 の間、および小容量メモリ 67～70 間のデータ転送を行わせる。

【 0 0 9 4 】

これにより、汎用プロセッサ 60 の演算量の極端な増加を抑えてビデオおよびオーディオのデコードが実現される。

【 0 0 9 5 】

なお、実施形態に示した例は、本発明装置を DVD 再生装置に適用した場合を説明したが、受信装置に適用したり、送信装置や符号化装置に適用することもできる。要は、外部から提供される符号化されたビットストリームをデコード（復

号化)し、デコード結果を外部に一定間隔で出力する復号化装置、または外部から提供されるデジタルデータをエンコード(符号化处理)し、エンコード結果を外部に出力する符号化装置に適用できる。

【0096】

また、本願発明は、上記各実施形態に示される例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0097】

以上、本発明は、与えられるデータに対して、複数種の処理を順序を追って実施する例えば、符号化されたオーディオストリームデータの復号化、あるいはオーディオストリームデータの符号化などの処理をするデータ処理装置において、

前記各処理を、処理単位でモジュール化してなるプログラムモジュールを保持する外部記憶手段(外部メモリ)と、必要最小分の容量の内部メモリ(インストラクションメモリ、データメモリ)と、前記処理のうちのいずれかの処理の実施中に、次の処理用のモジュールおよび処理対象のデータを前記外部記憶手段より読み込み、前記内部メモリに保持させる制御手段(DMAコントローラ、汎用プロセッサ)と、前記内部メモリの保持内容に従った処理を実施する処理手段(オーディオ処理用コプロセッサ)とを具備して構成したものである。内部メモリ中における処理の用済みとなった格納領域はメモリを解放する。

【0098】

そして、このような構成において、与えられるデータに対して、複数種の処理を順序を追って実施するが、本発明では各処理は予め各処理単位でプログラムモジュール化した形態を採用しており、そして、内部メモリにこの処理単位分のプログラムモジュールを保持させ、処理手段にはこの内部メモリの内容対応に処理

を実施していくが、前記制御手段は前記処理手段が処理実施中に次の処理用のモジュールおよび処理対象のデータを読み込み、前記内部メモリに保持させるようにした。すなわち、本発明は、さしあたって現在処理しようとする必要分だけの必要情報を内部メモリに取り込み、処理を実施させることで、内部メモリは最小限の容量にとどめることができるようになって、メモリ資源の節約を図ることが出来るようになり、また、現在の処理の実施中に次の先取りをしておくことで、読み込みの遅れによる処理の遅延を防止することができるようになる。

【 0 0 9 9 】

【発明の効果】

以上説明したように、本発明によれば、例えば、オーディオ処理のアルゴリズムのように、処理順序がほぼ一定であるアルゴリズムを用いるデータ処理の場合に、この処理順序が定まっていることに着目し、汎用プロセッサに回路量を必要としないコプロセッサを付加した演算装置と、内部ローカルメモリと外部メモリとのメモリ転送を行うDMAコントローラを配置し、次の処理に必要なデータや命令群をあらかじめ前の処理の間に転送するようにDMAコントローラを制御することにより、従来よりも低コストなオーディオ処理装置などのデータ処理装置を実現することが可能となる。

【図面の簡単な説明】

【図 1】

本発明を説明するための図であって、本発明の第一の実施の形態の構成を示すブロック図である。

【図 2】

本発明システムで用いるオーディオストリームのデコード処理の例として、MPEG-2 AACに基づいたビットストリームのデコード処理の流れを説明するための図である。

【図 3】

本発明を説明するための図であって、本発明のシステムにおけるビットストリーム解読開始時のローカルメモリの状態を示す図である。

【図 4】

本発明を説明するための図であって、本発明のビットストリームデコード処理におけるデータメモリの変化を示す図である。

【図 5】

本発明の別の実施形態を説明するための図であって、オーディオ処理部がビデオデコードも兼ねる場合の構成例を示したブロック図である。

【図 6】

従来のビデオ・オーディオデコーダーの構成を示す図である。

【符号の説明】

- 1, 20, 51…外部メモリ
- 2, 22, 52…メモリコントローラ
- 3, 53…バス
- 4, 54…システム処理部
- 5…ビデオ処理部
- 6…オーディオ処理部
- 10, 21, 60…汎用プロセッサ 1
- 11, 61…オーディオ処理用コプロセッサ
- 12, 62…ローカルバス
- 13, 14, 17, 25, 27, 32, 33, 63, 64, 66, 67, 68, 69, 70…ローカルメモリ
- 15, 65…DMAコントローラ
- 16, 71…オーディオ入出カインタフェース
- 23…FIFOメモリ
- 24, 72…VLD処理部
- 26…乗算・累積加算(MAC)ユニット
- 28…レジスタファイル
- 29…信号処理ユニット
- 30…パタフライユニット
- 31…命令メモリ
- 40…ビットストリーム解読処理

4 1 …ノイズレスデコーディング処理

4 2 …逆量子化处理

4 3 …スケールファクタ処理

4 4 …T N S 処理

4 5 …フィルタバンク処理

4 6 …ブロックスイッチング処理

5 6 …ビデオ・オーディオ処理部

7 3 …逆量子化部

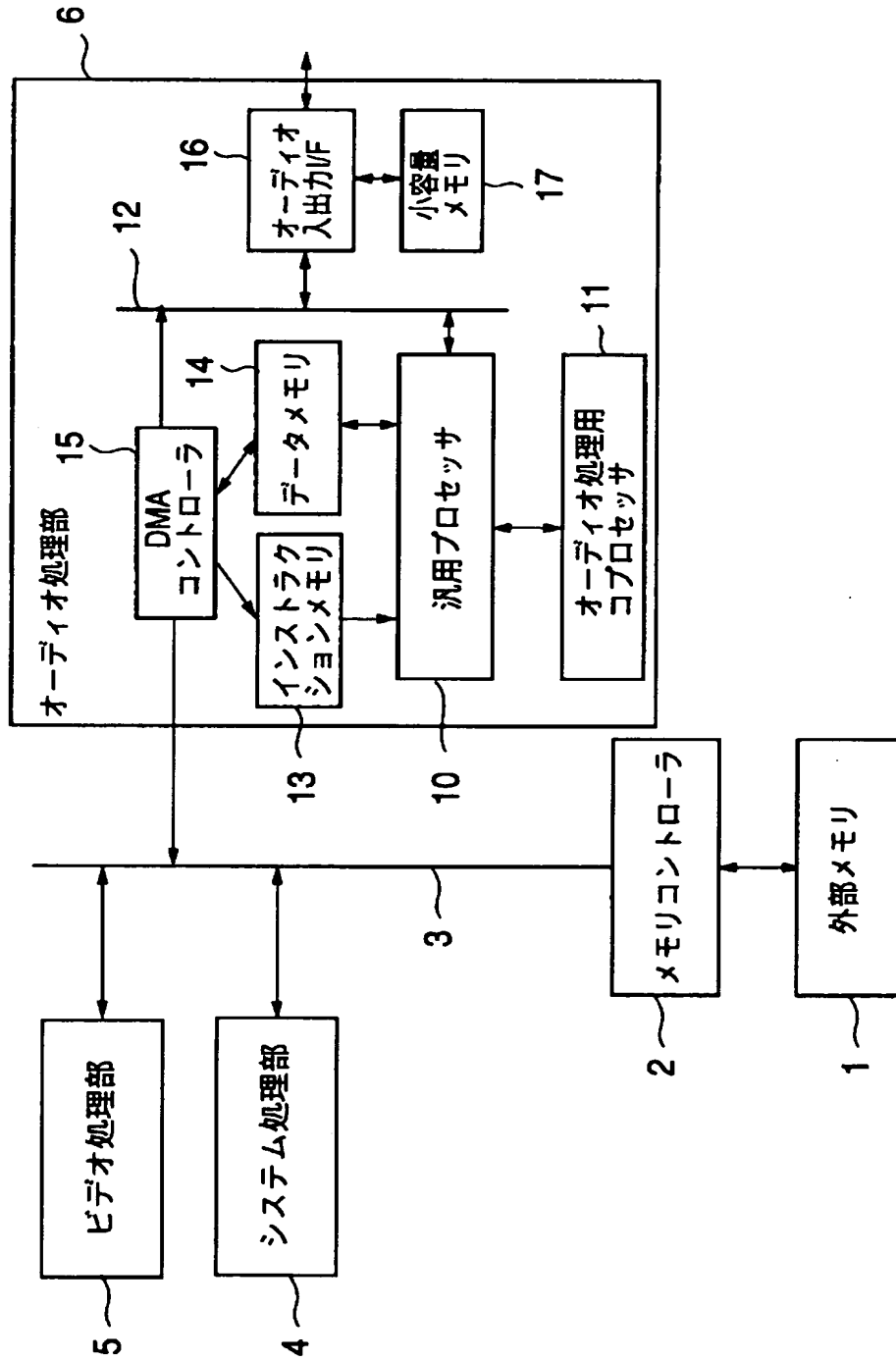
7 4 …I D C T 処理部

7 5 …動き補償部

【書類名】

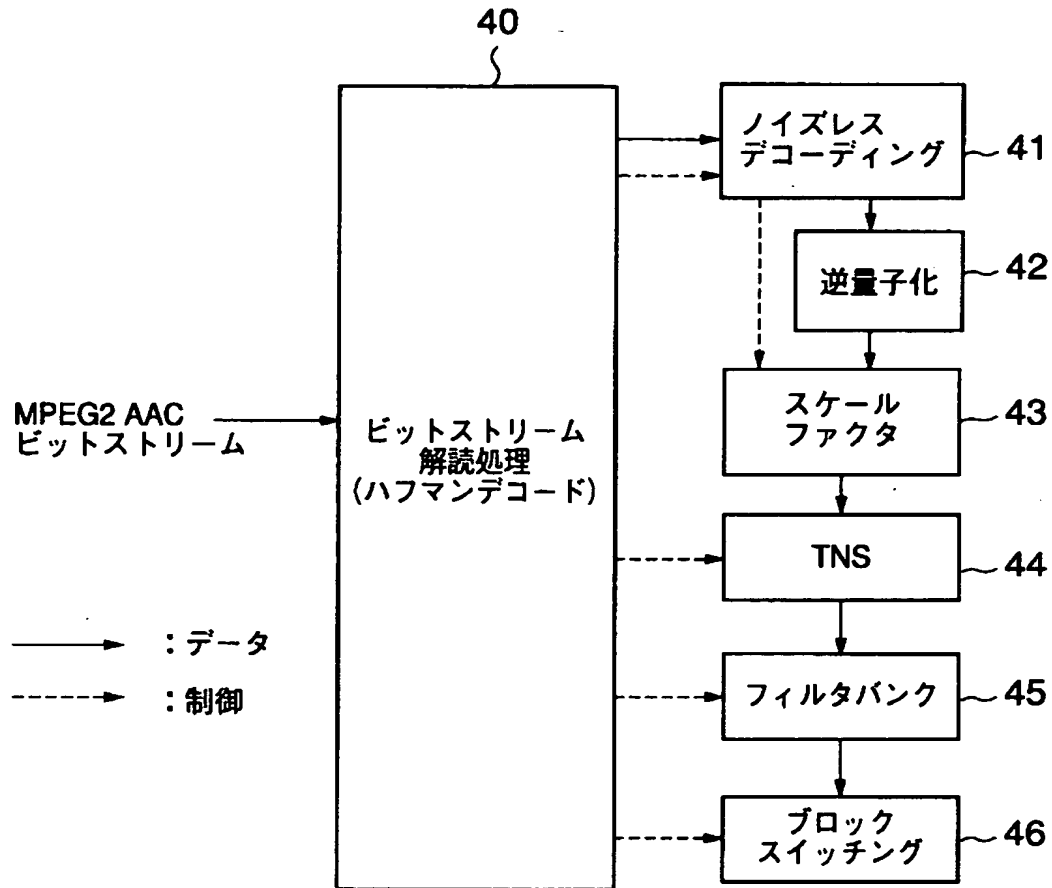
図面

【図 1】



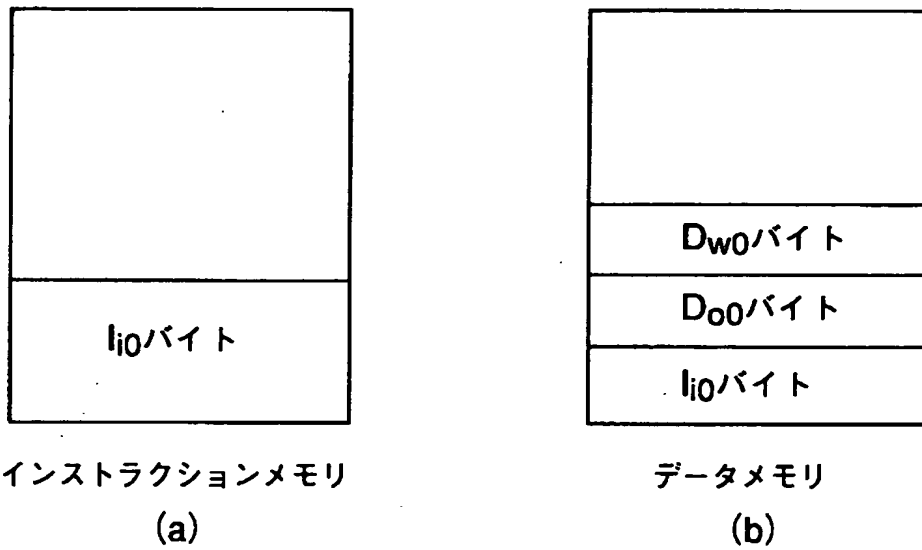
本発明の第一の実施の形態の形態を示すブロック図

【図 2】



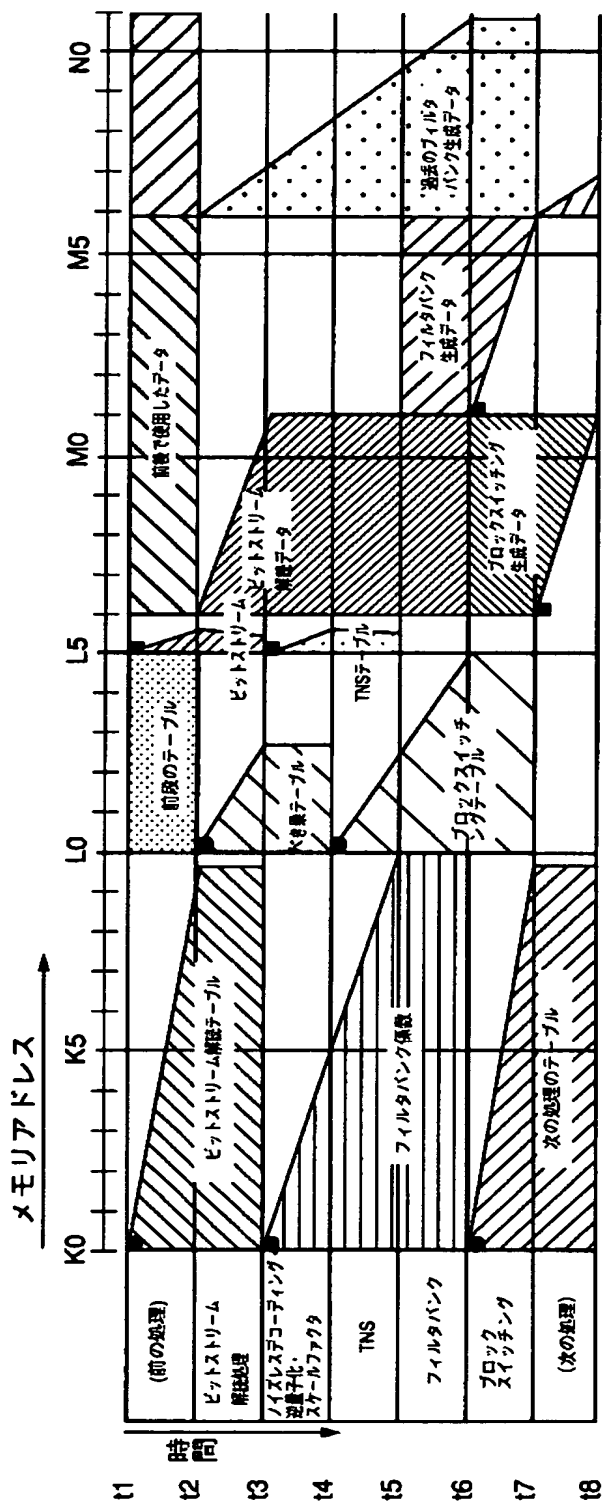
MPEG-2 AACデコードの処理手順

【図 3】



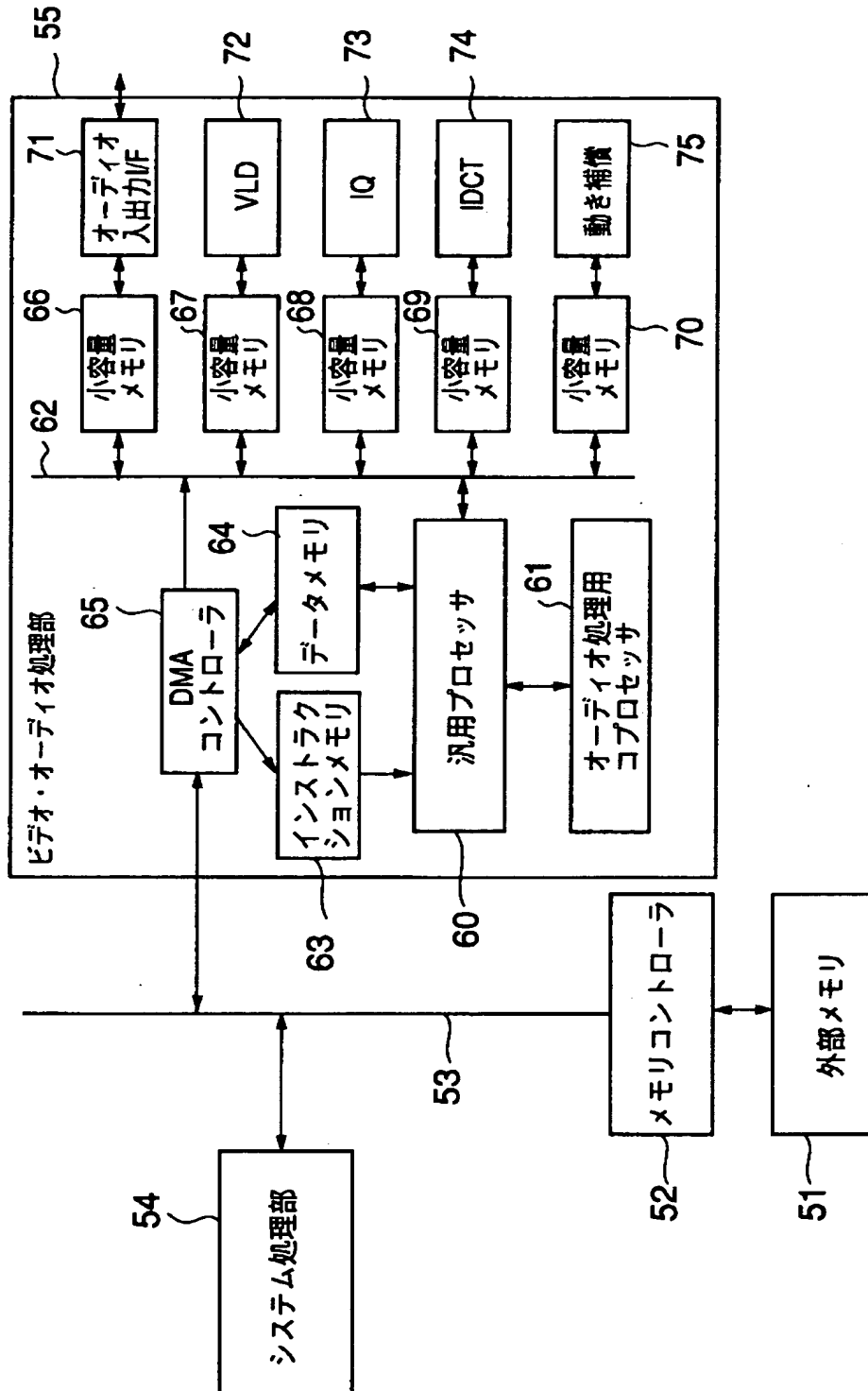
ビットストリーム解読開始時のローカルメモリの状態を示す図

【図4】



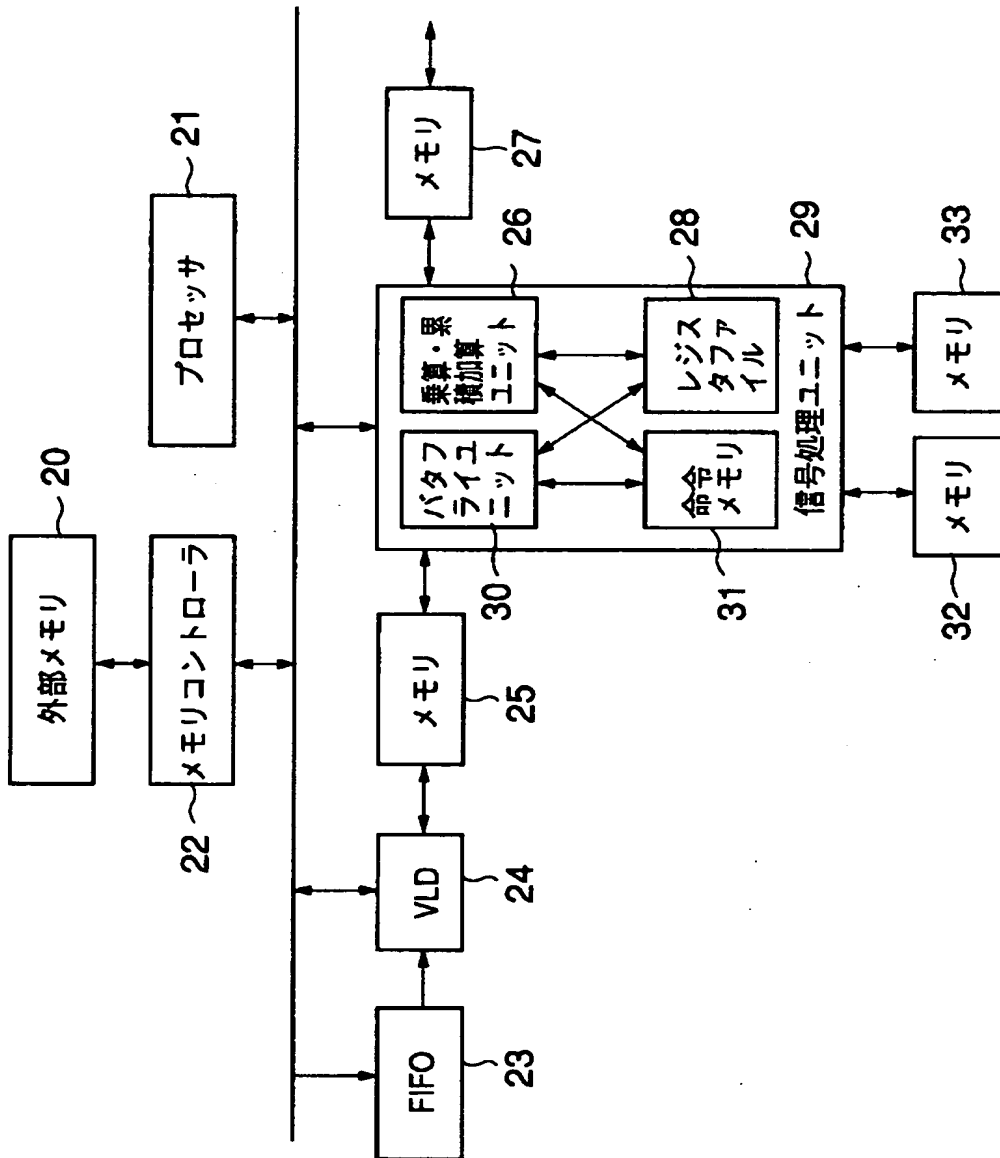
ビットストリームデコード処理におけるデータメモリの変化を示す図

【図 5】



オーディオ処理部がビデオコードも兼ねる場合の構成を示した図

【図6】



従来のビデオ・オーディオデコーダーの構成を示す図

【書類名】 要約書

【要約】

【課題】 DSPなどを用いた従来のオーディオ処理装置よりも小さな回路規模で、オーディオ符号化・復号化処理を実現する。

【解決手段】 1チップに収められ、外部に存在するメモリをビデオ処理とオーディオ処理とで共有するUMA方式に基づくビデオ・オーディオ処理装置において、オーディオ処理プロセッサ10,11に小容量のローカルメモリ13,14を接続する。オーディオ処理プロセッサは次に行われる処理を予測して、必要なデータやプログラムを前もって外部メモリ1からローカルメモリに転送するようにDMAコントローラ15を制御する。逆にしばらく使用しないと判断されるデータは、生成直後にローカルメモリから外部メモリに退避する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝